

應用於生醫檢測系統之 5.7GHz CMOS 可調式 功率放大器

5.7GHz CMOS Variable Power Amplifier for Medical Diagnosis Application

賴文正 馮武雄

Wen- Cheng Lai Wu- Shiung Feng

摘要

本研究提出 5.7GHz 可調式功率放大器(PA)，主要是應用於生理檢測醫療系統方面，由於高頻可用之頻寬較多，傳輸速度快，其指向性高，並且能將信號傳輸至較遠之處，更重要的是，它可以依照系統的不同需求改變功率(Power)與增益(Gain)的大小，所以對於生醫檢測儀器信號傳輸裨益良多。另外，在設計上，需考慮元件選擇、偏壓點(V_{ds} 、 V_{gs})、穩定度(Stability)、線性度(輸入三階交點, IIP3、1dB 壓縮點, P1dB)、效率(PAE) ...等；在生醫方面應用的考量下，應使其線性度(Linearity)要高，盡量減少信號失真；輸入與輸出功率(P_{in} 、 P_{out})不需太大，避免微波對人體的傷害，以這些重點為主要考量因素，並逐步發展應用於醫療相關環境設施中。本研究所模擬的電路特性，係利用直流偏壓($V_{ds1}/V_{gs1}/V_{ds2}/V_{gs2}$)為 1.8 V/1.2V /1.2V /1.0V， $I_{dc1-bias}$ 16 mA、 $I_{dc2-bias}$ 12 mA，得到增益為 13.176 dB，輸入/輸出返回損耗(return loss)分別為-9.01dB/-6.18 dB，P1 dB 壓縮點約為 -6 dBm，及輸入三階交點(IIP3)為 27.5 dBm，均能達到良好之特性。

關鍵詞：金氧半電晶體電路、功率放大器。

ABSTRACT

The research investigates on 5.7GHz power amplifier (PA) that applying in medical diagnosis. Because high frequency PA can use more bandwidth, fast response, good index and long transmission path, it is implemented extensively. More importantly, the system can adjust power and gain by different requirements. So, it is more helpful for medical diagnosis application. Besides, we must consider device selection, bias (V_{ds} 、 V_{gs}), stability, linearity, PAE effect and so on. For medical diagnosis application, high linearity, low distortion, feasible input and output power are required, because they can reduce the effect to human causing by the electromagnetic radiation. That is major consider to develop in medical diagnosis environment. PA gain of 13.176 dB, return loss of -9.01dB/-6.18 dB, P1dB of -6dBm and IIP3 of 27.5 dBm with DC bias ($V_{ds1}/V_{gs1}/V_{ds2}/V_{gs2}$) of 1.8 V/1.2V /1.2V /1.0V, $I_{dc1-bias}=16$ mA are the circuit performance of the research simulation. They exhibit good performance.

Keywords : CMOS, power amplifier

一、前言

功率放大器(PA)一直是 IC 設計中最熱門，也最值得研究的電路之一[1][2][3]，亦是許多產學方面追

求改善的電路，然而目前之相關研究仍舊缺乏。目前有關高頻 0.18 μ m CMOS 的 PA 研究，容易產生許多寄生效應，致使電路特性 P_{out} 、Gain、P1dB、PAE...等提昇受到限制。有關生醫用途 CMOS 的

PA 一直是被研究的，主要是以 Class_A 及 AB 來設計，線性度較佳。

可調式功率放大器(PA)，主要目的是應用於生理檢測醫療系統，先提出高頻 5.7GHz 做研究，待本研究有成果時，再往 (80215.3a) 「超頻寬」(3.1G~10.6GHz)研究，將功率降低至 -40 dBm 以下，在 in house 短距離的傳輸下，不至於干擾其他生醫檢測儀器信號。以生醫應用的考量下，應使其線性度(Linearity)要高，盡量減少信號失真；輸入與輸出功率 (Pin、Pout) 不需太大，避免微波對人體的傷害，以這些重點為主要考量因素，並逐步發展應用於醫療相關環境設施中。

二、研究方法與步驟

在設計功率放大器方向上，以頻段在 5.7GHz，輸出功率在 12dBm 的 AB 類[4]功率放大器為主。針對 CMOS 元件本身特性，在輸入級加入一個可控輸出功率及增益的機制以增加電路的實用性。其設計流程如下：

1. 設計 Power- stage :
 - a. 計算 Ic-bias 並模擬 IV 關係圖，找出 Class_AB 之工作點。
 - b. 利用 load pull 模擬：S11、Gain、Ic、Pin，並找出最佳之 Pout 與 PAE。
2. 設計 drive-stage source 端之 matching :
 - a. 計算 Ic-bias 並模擬 IV 關係圖，找出

Class_AB 之工作點。

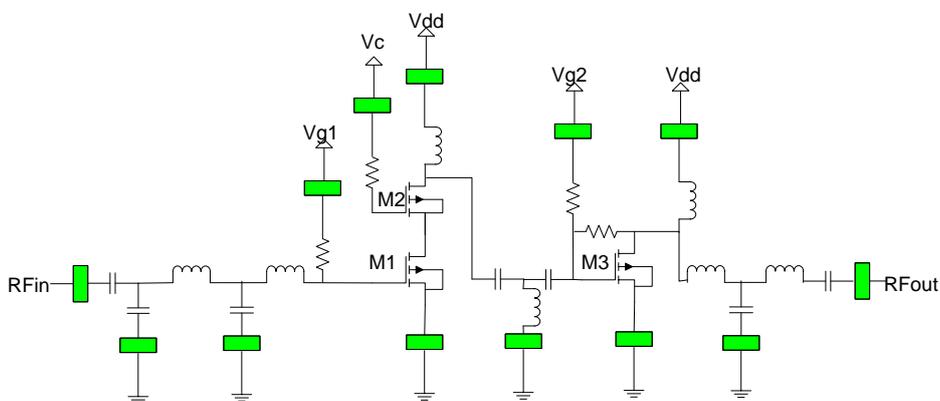
- b. 利用 load pull 模擬：S11*，並以 LC 電路 matching 到 50Ω。
3. 設計 inter-stage :
 - a. 利用 LC 電路使得 (S22drivestage)* = S11interstage 且 (S22drivestage)* = S11interstage。
4. 設計 Power- stage output matching :
 - a. 以 LC 電路做 Output matching。
 - b. Tune 電路之元件，使其達到最佳之性能。
5. 佈局 :
 - a. 利用 Cadence Tool 佈局。
 - b. 佈局後驗證(Post Simulation)。

模擬的軟體以安捷倫(Agilent)公司的 ADS 為主。並以 Cadence Virtuoso Layout Editor 完成電路佈局，送交 CIC 委託 TSMC 晶圓廠製作。

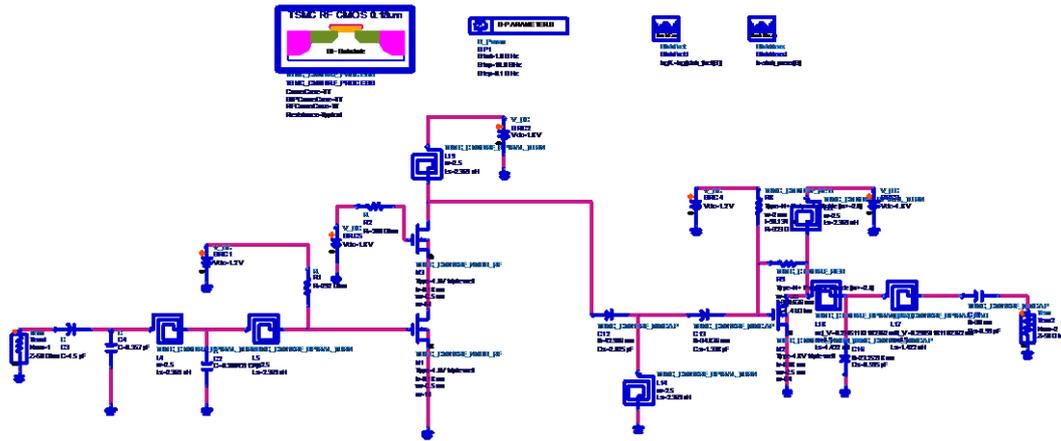
註：()*表示共軛複數(conjugate)

三、電路架構

本次設計的 5.7GHz 可調式功率放大器，其電路架構示意圖[5]如下：



圖一 電路架構示意圖



圖二 PA之電路圖

1.如圖一為5.7GHz CMOS Power Amplifier的整體架構，而其pad以內為on-chip 部分；on-chip 以外的部分，則利用bondwire 來做連接。整體電路由TSMC 0.18μm製程MODEL完成設計。

2.主要電路架構是由第一級的M1(1.8V NMOS)來推動第二級的電晶體M3(1.8V NMOS)，而且考慮電路之穩定性，在輸出級之電晶體M3加回授電阻(如圖二)，是屬於標準的兩級功率放大器架構。

3.DC Bias:

- a. 均有加上bypass 電容來過濾DC Bias 的雜訊。
- b. gate 端:加上電阻做偏壓、匹配(matching)、增加穩定與吸收RF 雜訊。
- c. drain 端:加上電感做匹配與吸收RF 雜訊。

4.在前級加上一電晶體 M2來作為power control的機制，可調整電晶體gate端的電壓大小，來改變輸出功率的大小以達到可變功率與可調增益的目標。

5.關於鏢線(Bondwire)部分，在source 端的bondwire電感估為1.2nH；而其他matching 跟 Bias 部分的bondwire 估為2nH，其中均加大

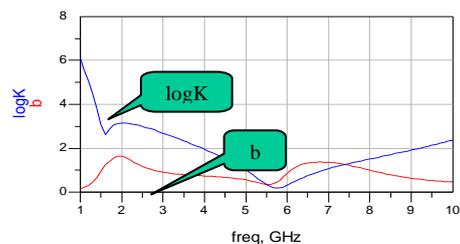
bondwire 預估值，以方便在bondwire 實際值不足預估值時用微帶線補償。預估1mm的Bondwire約為0.6~0.8nH[6]。

6.考慮製程上之變異，因此使用ADS軟體之製程model 中不同狀態的SS,FS,FF 去模擬出其結果之差異性，而模擬之結果均在可接受範圍內。

7.如圖二所示為PA之電路圖，將matching電路作on chip的設計，以防止由pad打鏢線出來所產生的寄生效應及其它不確定因素。

四、模擬

本研究主要模擬結果包含：穩定度分析、返回損耗(Return Loss)、輸出功率 1dB 壓縮點(Pout 1dm)、Pin-Pout(1-order Harmonica) & Pin-Pout(3-order Harmonica)、功率附加效率(PAE)、直流損耗(Power consumption)、Pout 與 Gain 變化關係圖等。



圖三穩定度分析模擬

上圖為電路之穩定度分析，由圖可知 $K > 1$ 且 $b > 0$ ，表示電路已達無條件穩定 (Unconditional Stability)。

註：[7]

1. 穩定係數 K (Real Stability Factor 或 Rollet Factor) 定義如下：

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2 \cdot |S_{12}| \cdot |S_{21}|}$$

其中

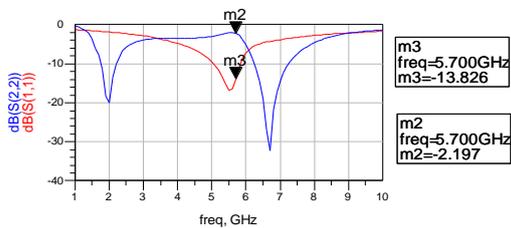
$$|\Delta| = |S_{11} \cdot S_{22} - S_{12} \cdot S_{21}|$$

$K > 1$ ， $|\Delta| < 0$ 為穩定的充份條件。

2. 小訊號的穩定係數 b (b term of stability factor) 定義如下：

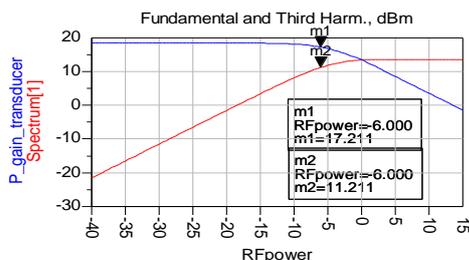
$$b = 1 + |S_{11}|^2 + |S_{22}|^2 - |\Delta|^2$$

$b > 0$ ，為穩定的充份條件。



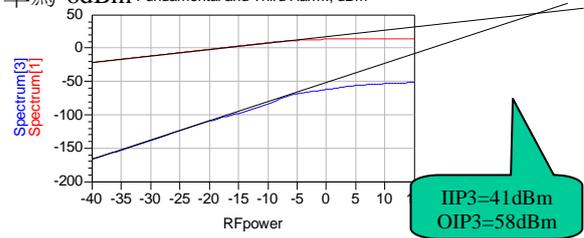
圖四 返回損耗(Return Loss) 模擬

上圖表示在 5.7GHz 時， S_{11} 與 S_{22} 之 Return Loss 分別為 -13.826dB 與 -2.197dB。



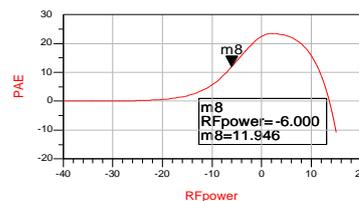
圖五 輸出功率 1dB 壓縮點模擬

圖五所示為輸出 1dB 壓縮點 (Pout 1dB) 為 11.2dBm，增益 (S_{21}) 為 17.211dB，此時的輸入功率為 -6dBm Fundamental and Third Harm., dBm



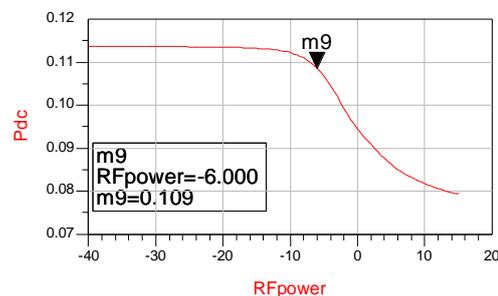
圖六 Pin-Pout(1-order Harmonica) & Pin-Pout(3-order Harmonica) 模擬

上圖為一階訊號與三階諧波的交點，其座標分別為 IIP3 與 OIP3，其值分別為 41dBm 與 58dBm，在線性度上的表現佳。



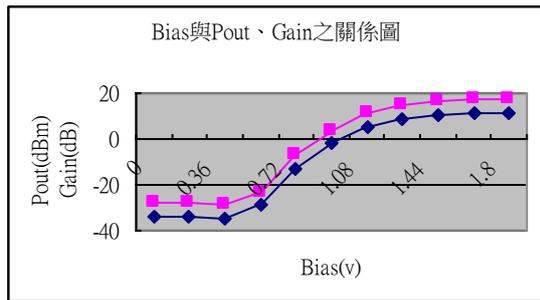
圖七 效率(PAE) 模擬

上圖為本電路之 PAE 值約有 12%。



圖八 直流損耗模擬

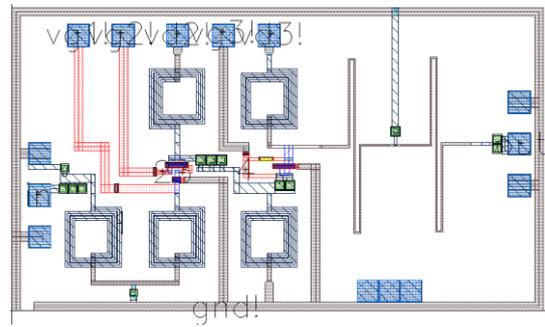
上圖表示在 $P_{in} = -6dBm$ 時，其直流功率消耗為 109mw。



上圖表示偏壓改變造成 Pout 與 Gain 之變化關係圖，由圖可知其可用範圍約在偏壓為 0.81~1.08v 時，其 Pout 在 -5~5dBm、Gain 在 0~11dB 之間。

五、佈局

1. 在電晶體佈局時，應盡量使元件對稱，以便在 RF 訊號進來時，干擾能相互抵消，佈局圖如圖十所示。
2. 在線寬部份，一般估計 1um 的線寬可以承受 1~2.5mA 的電流，以避免電流過大而將金屬線燒掉，特別是在 Power Line 之線寬增加至 30um。
3. 為了 Bond 線時之目視方便，pad 之間都盡量相隔約一個 pad 的距離。
4. 電路佈局中，應避免有過長的線段，以免造成傳輸線效應。
5. 我們再將 output matching 之兩個非 TSMC 0.18um 製程之電感利用 ADS 軟體之 momentum 再模擬，並將模擬結果再代入電路中模擬特性，亦得到不錯的效果。如圖十一所示。
6. 本電路將 layout 之左下角 gnd 線切開 50um 之空隙，以減少因「楞次效應」(Lorentz)引起的渦流干擾現象。
7. 在 gnd PAD 部份將它設在右下角，以避免將來量測時，探針與打線因靠得太近，造成量測的不方便。layout 之面積為 1.9×1.09mm²。



圖十 佈局平面圖

六、量測

我們使用高頻訊號產生器〔HP8648C〕、頻譜分析儀〔E4407B〕與網路分析儀〔HP8510〕量測等儀器做量測，量測方法如圖十二~十三所示。

七、結論與建議

(一) 結論

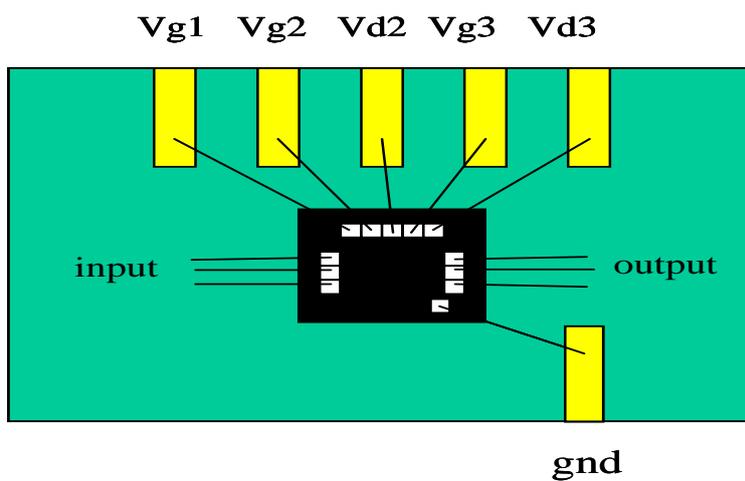
1. 5.7GHz CMOS 之可調式功率放大器經模擬結果顯示如表一，我們可利用電晶體偏壓的改變(0.81~1.08V)，來控制其輸出功率(-5~5 dBm)及增益(0~11 dB)，並可應用於生醫檢測系統。
2. 如表二~四所示，經模擬製程變異、溫度改變及電源偏移等因素，我們發現其特性變化均在可接受範圍內。
3. 本研究已完整擬出設計兩級 PA 電路之步驟流程，並逐步應用於不同之 PA 電路架構當中。

(二) 建議

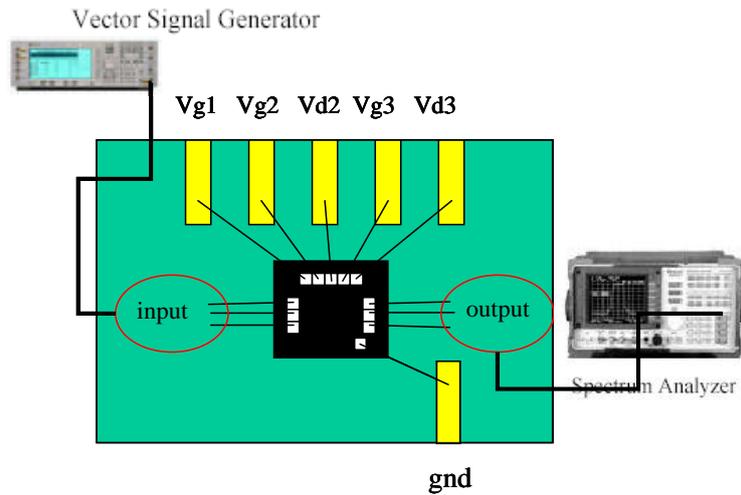
1. 本研究之 PA 其效率(PAE)值為 12%，未來在設計上，應盡量使其再提高。
2. 由於本研究之 IC 設計已送 CIC 下線中，未來能將晶片量出之結果與模擬結果比較，並做一番探討。
3. 生醫用途的 PA 一直是被研究的 IC，目前並無一套完整的頻譜規範圖，因此，可在這方面多加琢磨。



圖十一 利用 ADS 的 momentum 功能模擬電感之示意圖



圖十二 利用探針及鏢線技術進行網路分析儀量測 S 參數之示意圖



圖十三 量測輸出功率之示意圖

表一 功率放大器之模擬結果

5.7GHz Two – Stage Class _AB Power Amplifier (TSMC 0.18 μ m)	
DC	1.8 V/60.6mA
I / O 返回損耗(Return Loss)	14/2 dB
輸出功率(Pout)	11.2 dBm
Pout @1dB 壓縮點	11.2 dBm
Pin @1dB 壓縮點	-6 dBm
增益(Power gain)	17.2 dB
PAE	12 %
IIP3	41 dBm
OIP3	58 dBm
Stability K	>1
Stability b	>0
直流損耗(power consumption)	109 mW
可調輸出功率(Pout)範圍	-5~5 dBm(0.81~1.08V)
可調增益(Power gain)範圍	0~11 dB(0.81~1.08V)
晶片面積(Die area)	1.9 \times 1.09(mm ²)

表二 製程在 SS、FS 與 FF 之表現

Specifications	SS	FS	FF
Pout	11.2dBm	11.2dBm	11.2dBm
Gain	17.2 dB	17.2 dB	17.2 dB
PAE	12%	12%	12%
P 1dB	-6 dBm	-6 dBm	-6 dBm

表三 當溫度為攝氏 -10°、25° 與 70° 時之表現

Specifications	-10°	25°	70°
Pout	11.8dBm	11.2dBm	10.2dBm
Gain	17.8 dB	17.2 dB	16.2 dB
PAE	13%	12%	10%
P 1dB	-6 dBm	-6 dBm	-6 dBm

表四 當電壓變動 10% 之表現

Specifications	-10%	+10%
Pout	10.6dBm	11.5dBm
Gain	16.6 dB	17.5 dB
PAE	15%	10%
P 1dB	-6 dBm	-6 dBm

八、參考文獻

- Behzad Razavi “RF MICROELECTRONICS” , University of California, Los Angeles, Prentice Hall, Inc A Simon & Schuster Company, 1998. pp. 298-325.
- Guillermo Gonzalez “MICROWAVE TRANSISTOR AMPLIFIERS Analysis and Design” , University of Miami, Florida, Prentice Hall, Inc, 1997. pp. 212-293.
- Steve Hung- Lung Tu, “A Power-Adaptive CMOS Class RF Tuned Power Amplifier for Wirelss Communication”, SOC Conference, 2003.Proceedings. IEEE International System-on-Chip, pp.365-368, Sept. 2003.
- Mihai Albulet, “RF Power Amplifiers”, Noble Publishing Corporation Atlanta, GA, 1962, pp.18-23.
- 盧鈞璋, “線性化 2.4GHz CMOS 可調功率放大器之設計”, 長庚大學電子工程研究所

碩士論文, 民國九十三年, 40~44 頁。

- Janinckx , Michel S.J.Steyaert , ” A 1.8GHzCMOS Low-Phase-Noise VCO with Prescaler ” , IEEE Solid-State circuits, 1995.pp.1474-1482.
- 許振賢, “射頻功率放大器設計”, 長庚大學電子工程研究所碩士論文, 民國九十一年, 13~15 頁。