時鐘計數積體電路之設計與實體晶片量測
Design and Experimental Verification of a Clock Counter Integrated Circuit

陳華彬*、孫韋傑、陳漢

明志科技大學電子工程系

摘要

本研究基於聯華電子(UMC) 0.18 μm 互補式金屬氧化物半導體(CMOS)製程，設計、製作並完成一款全客製化數位時鐘積體電路之實體驗證，並建立涵蓋系統模型建立、電晶體層級電路設計、實體佈局、晶片製作及硬體驗證之完整全客製化積體電路設計方法。首先，利用電子設計自動化(EDA)工具建立數位時鐘系統功能模型，以完成系統層級功能驗證；接著，採用 Cadence Virtuoso 完成時鐘計數器、解碼器及控制邏輯等功能模組之電晶體層級設計，並透過 HSPICE 進行前佈局模擬，以驗證各功能模組之正確性與電路效能。完成電路設計後，進一步進行電晶體尺寸規劃、晶片佈局設計、設計規則檢查(DRC)及佈局與電路一致性驗證(LVS)，以確保晶片符合製程設計規範及具備可製造性。完成打線接合及晶片製作後，將晶片安裝於印刷電路板(PCB)，並整合七段顯示器與 LED 顯示模組，建置完整之硬體量測平台。實體晶片量測結果顯示，所設計之全客製化數位時鐘積體電路可正確完成時、分、秒之計數、解碼與顯示功能，且量測結果與模擬結果高度一致，驗證所提出電路架構及設計方法之正確性與可行性。本研究所建立之全客製化積體電路設計方法，可作為全客製化數位積體電路及特定應用積體電路(ASIC)開發之重要設計參考，亦可作為全客製化積體電路設計教學與實務訓練之有效平台。

關鍵詞：全客製化、積體電路、數位時鐘、佈局設計、晶片量測

Abstract

This study presents the design, fabrication, and experimental verification of a full-custom digital clock integrated circuit (IC) using the United Microelectronics Corporation (UMC) 0.18 μm complementary metal–oxide–semiconductor (CMOS) process. A complete full-custom IC design methodology, encompassing system-level modeling, transistor-level circuit design, physical layout, chip fabrication, and hardware validation, is established. The digital clock was first modeled using electronic design automation (EDA) tools for system-level functional verification. The clock counter, decoder, and control logic were subsequently implemented at the transistor level using Cadence Virtuoso and verified through pre-layout HSPICE simulations. The physical implementation included transistor sizing, layout design, design rule checking (DRC), and layout-versus-schematic (LVS) verification to ensure compliance with fabrication rules and manufacturability. After wire bonding and chip fabrication, the chip was mounted on a printed circuit board (PCB) and integrated with a seven-segment display and LED display modules to establish a complete hardware measurement platform. Experimental results demonstrate that the proposed IC correctly performs hour, minute, and second counting, decoding, and display functions. The measurement results agree well with the simulation results, validating the proposed circuit architecture and the effectiveness of the established design methodology. The proposed methodology serves as a practical reference for the development of full-custom digital ICs and application-specific integrated circuits (ASICs), and as an effective educational platform for full-custom IC design.

Keywords: Full-Custom, Integrated Circuit, Digital Clock, Layout Design, Chip Measurement

1. 前言

1.1 研究背景

近年來，隨著半導體製程技術及積體電路設計技術的快速發展，積體電路(Integrated Circuit, IC)已成為現代電子產品與智慧資訊系統的核心技術[1]。數位積體電路因具有高可靠度、低功耗、高整合度及易於大規模積體化等優點，廣泛應用於消費性電子、工業自動化、通訊系統、車用電子、醫療設備及航太科技等領域，並已成為系統單晶片及特定應用積體電路(Application-Specific Integrated Circuit, ASIC)設計的重要基礎[2]。

在同步式數位系統中，時脈(Clock)為控制各功能模組協調運作之核心訊號，而計數器(Counter)則是實現時脈分頻、計時、事件計數及狀態控制等功能的重要元件。時脈控制、計數邏輯及解碼電路廣泛應用於數位時鐘、計時器、微控制器、嵌入式系統及各類數位控制電路，其設計品質將直接影響系統之功能正確性、穩定性及可靠性[3]。因此，建立完整且可靠的時鐘計數電路設計方法，不僅為數位積體電路設計的重要基礎，亦是提升系統效能與可靠度的重要關鍵。

1.2 研究動機

近年來，隨著電子設計自動化(Electronic Design Automation, EDA)工具與 CMOS 製程技術日趨成熟，全客製化(Full-Custom)IC 設計已廣泛應用於高效能、低功耗及高整合度晶片之開發[4]。然而，全客製化 IC 設計涵蓋系統功能模型建立、電晶體層級電路設計、電路模擬、實體佈局、實體驗證、晶片製作及硬體量測等多個設計階段，具有較高的設計複雜度與技術門檻。目前，多數數位時鐘相關研究多著重於硬體描述語言設計與實現或功能模擬，較少針對全客製化數位積體電路由系統模型建立、電晶體層級設計、實體佈局、晶片製作至實體量測之完整設計流程進行探討與驗證。因此，本研究以聯華電子(UMC)0.18 μm CMOS 製程為設計平台[5]，設計並實現一款全客製化數位時鐘積體電路，建立涵蓋系統功能模型建立、電晶體層級電路設計、實體佈局、晶片製作及硬體量測之完整設計與驗證流程，並透過實體晶片量測驗證所提出電路架構之功能與可行性。本研究除驗證全客製化數位時鐘積體電路之設計方法外，亦建立完整之全客製化積體電路設計流程，可作為全客製化數位積體電路及 ASIC 開發之重要設計參考，並提供積體電路設計與實務訓練之完整範例。

2. 電路系統架構設計與功能驗證

本電路設計以全客製化數位時鐘積體電路為目標，建構一套涵蓋系統功能模型建立、電晶體層級電路設計、電路模擬、實體佈局、實體驗證、晶片製作及硬體量測之完整全客製化積體電路開發流程。研究過程採用 EDA 工具完成系統功能驗證與電晶體層級電路設計，並透過設計規則檢查(Design Rule Check, DRC)及佈局與電路一致性驗證(Layout Versus Schematic, LVS)，確保晶片符合製程設計規範與可製造性要求。

本研究所設計之數位時鐘積體電路核心架構包含十進制計數器、數位控制邏輯、解碼器及顯示控制電路。其中，十進制計數器負責時、分、秒之計數功能；數位控制邏輯負責進位、清除及狀態控制；解碼器則將計數結果轉換為七段顯示器所需之驅動訊號，以完成時間資訊之顯示。各功能模組均採用全客製化互補式金屬氧化物半導體(Complementary Metal–Oxide–Semiconductor, CMOS)電晶體電路實現，並透過 HSPICE 進行功能與時序模擬，以驗證電路之正確性及可靠性。

2.1 十進制計數器

十進制計數器具有 0 至 9 之循環計數能力，因此廣泛應用於數位時鐘、事件計數器、頻率分頻器及各類數位顯示系統。DM7490A 是一種非同步十進制計數器，其內部由除 2 與除 5 兩級計數器串接而成，可將輸入時脈訊號轉換為四位元二進位編碼十進制（Binary-Coded Decimal, BCD）輸出。該計數器由四個 JK 正反器（JK Flip-Flops）構成[6]，並依計數邏輯相互連接，以完成 0 至 9 之十進制計數。其輸出端 QA、QB、QC 及 QD 分別對應 8421 BCD 碼之四個位元，其中 QA 為最低有效位元，

QD 為最高有效位元。當計數值達 9(1001)後，於下一個時脈脈波到達時，計數器會自動回復至 0(0000)，並輸出進位訊號至下一級計數器，以實現多位數十進制計數。

由於十進制計數器 DM7490A 具有電路結構簡單、功能完整及易於串接擴充等特性，因此本研究於系統功能模型建立階段採用 DM7490A 作為十進制計數器之功能模型，以驗證數位時鐘系統之計數邏輯與整體功能。圖 1 所示為 DM7490A 十進制計數器之內部邏輯架構。

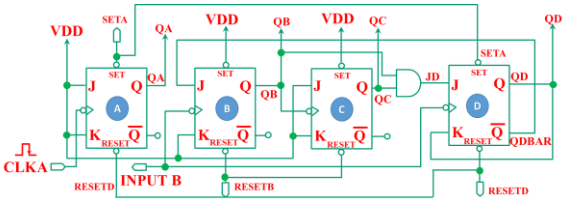


圖 1 十進制計數器 DM7490A 內部邏輯架構圖

2.2 數位時鐘電路系統架構設計

本研究首先利用 NI Multisim 建立數位時鐘系統功能模型，並採用商用數位積體電路完成系統功能設計與驗證。整體系統主要由六顆十進制計數器 DM7490A、一顆 7408 AND 閘[7]、四顆 7447 BCD 至七段顯示解碼器[8]、四顆共陽極七段顯示器[9]及七顆 LED 所組成。

系統以兩顆 DM7490A 搭配一組 7408 AND 閘形成一個計數模組，分別負責秒、分及時之計數功能。其中，DM7490A 負責十進制計數，7408 AND 閘則用於產生清除與進位控制訊號，以實現 60 秒、60 分鐘及 24 小時之循環計數功能。各級計數器輸出之四位元 BCD 訊號，經由 7447 BCD 至七段顯示解碼器轉換為七段顯示器之驅動訊號，以完成時間資訊之顯示；此外，LED 顯示模組用於監測計數器輸出狀態，以利系統功能驗證。

透過 NI Multisim 功能模擬[10]，可驗證各級計數器之計數、進位及清除控制邏輯皆符合設計規格，且數位時鐘系統可正確完成時、分、秒之計數與顯示功能。完成系統功能驗證後，再依據其系統架構進行全客製化 CMOS 電晶體層級電路設計，作為後續晶片實現之設計依據。圖 2 為 NI Multisim 數位時鐘系統之完整功能模擬架構。圖 2 中包含六顆 DM7490A 計數器模組、7408 控制邏輯、7447 BCD 至七段顯示解碼器、四顆共陽極七段顯示器及 LED 顯示模組。模擬結果顯示，各級計數器之計數、進位及清除控制皆能依設計規格正常運作，驗證所建立之數位時鐘系統架構與控制邏輯具有良好的正確性與可行性，並可作為後續全客製化 CMOS 積體電路設計之基礎。

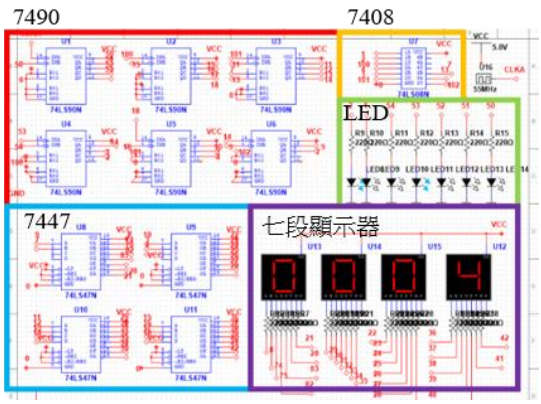


圖 2 數位時鐘電路系統設計架構圖

3. 全客製化數位時鐘電路設計模擬與驗證

3.1 十進制計數器 DM7490A 內部電路

根據 DM7490A 元件資料手冊所提供之內部邏輯架構，該計數器由四顆 JK 正反器及相關控制邏輯所組成。為驗證其邏輯架構可應用於全客製化 CMOS 電路設計，本研究依據其內部邏輯建立電晶體層級電路，並利用 HSPICE 進行功能模擬，以驗證計數邏輯、控制電路及各功能模組之正確性。完成模擬驗證後，再據以進行全客製化電路設計、實體佈局及後續晶片實現。圖 3 為依據 DM7490A 內部邏輯所建立之電晶體層級電路的 HSPICE 模擬結果。模擬結果顯示，在時脈訊號驅動下，BCD 計數輸出(QA、QB、QC 及 QD)可依 8421 BCD 編碼順序由 0000(十進制 0)依序遞增至 1001(十進制 9)，符合十進制計數器之功能規格。當計數值由 1001 進入下一個時脈週期時，內部控制邏輯會自動將計數器清除為 0000，重新開始下一循環計數，驗證所建立之電晶體層級電路具有正確之十進制計數功能與控制特性。

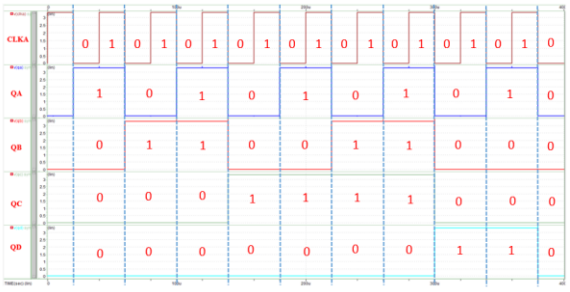


圖 3 全客製化十進制計數器 BCD 輸出模擬結果

3.2 全客製化數位時鐘電路系統架構設計與驗證

全客製化數位時鐘電路系統架構設計由六顆 DM7490A 十進制計數器及三組二輸入 AND 閘所組成，並以兩顆 DM7490A 搭配一組 AND 閘形成一個計數模組，分別負責秒、分及小時之計數功能。各計數模組利用 DM7490A 之 BCD 計數特性產生對應之輸出訊號，並透過 AND 閘邏輯控制電路產生清除(Reset)與進位(Carry)控制訊號，以實現 60 秒、60 分鐘及 24 小時之循環計數功能。圖 4 為全客製化數位時鐘電路架構圖。其中，秒計數模組由兩顆 DM7490A 及一組 AND 閘所組成。當秒計數值達到 59 時，上位 DM7490A 輸出 BCD 碼 1001(十進制 9)，下位 DM7490A 輸出 BCD 碼 0101(十進制 5)，此時 AND 閘輸出觸發控制訊號，使計數器執行清除動作並產生進位訊號，將計數值回復至 00，同時驅動分鐘計數模組進行加一計數。分鐘計數模組之運作原理與秒計數模組相同，透過兩顆 DM7490A 及 AND 閘控制 60 分鐘循環計數。當分鐘計數達到 59 時，控制邏輯產生清除及進位訊號，使分鐘計數回復至 00，並觸發小時計數模組進行遞增。小時計數模組則依據 24 小時計時規格設計，其控制邏輯與秒、分鐘計數模組略有不同。當小時計數達到 23 時，上位 DM7490A 輸出 BCD 碼 0100(十進制 4)，下位 DM7490A 輸出 BCD 碼 0010(十進制 2)，AND 閘產生控制訊號，使計數器清除回復至 00，以完成 24 小時循環計數功能。

透過圖 4 的電路架構設計，可實現完整之時、分、秒計數功能。圖 5 及圖 6 分別為全客製化數位時鐘電路系統架構 HSPICE 的小時與分鐘模擬結果。模擬結果顯示，所提出之數位時鐘架構可依據設計規格完成 60 秒、60 分鐘及 24 小時循環計數，且各級進位與清除控制訊號皆能正常運作。上述驗證結果確認系統架構及控制邏輯之可行性，並提供後續全客製化 CMOS 電晶體層級設計、實體佈局及晶片製作之驗證依據。

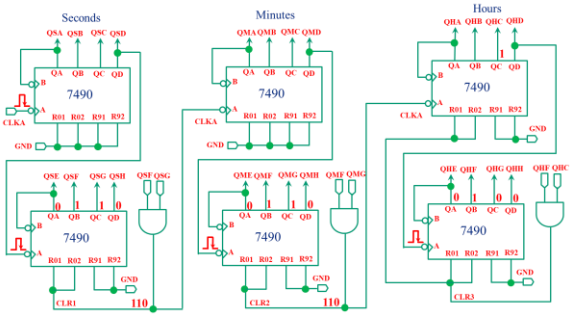


圖 4 全客製化數位時鐘電路系統架構設計圖

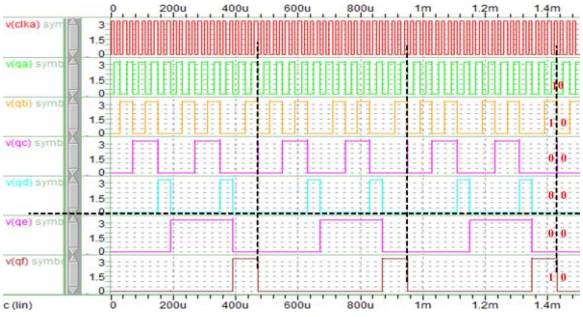


圖 5 全客製化數位時鐘電路系統架構小時模擬結果圖

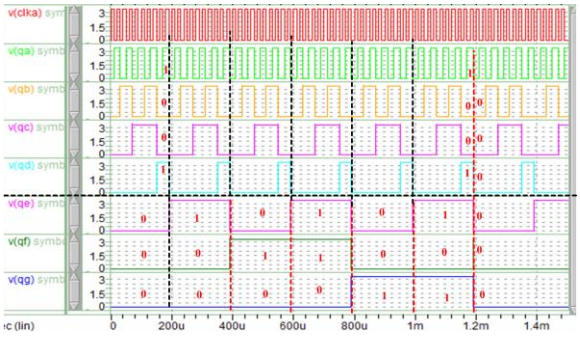


圖 6 全客製化數位時鐘電路系統架構分鐘模擬結果圖

3.3 全客製化數位時鐘電路 IC 佈局設計與驗證

完成數位時鐘電路之電晶體層級設計與 HSPICE 功能驗證後，本研究進一步利用 Cadence Virtuoso 進行全客製化 IC 之實體佈局設計。IC 佈局設計依據 UMC 0.18 μm CMOS 製程設計規範，將數位時鐘電路設計圖轉換為符合製程要求之實體幾何佈局圖形，並針對各功能模組進行全客製化 IC 佈局設計。本研究之數位時鐘 IC 佈局主要包含十進制計數器、進位控制邏輯、清除控制電路及解

碼電路等功能模組。於佈局設計過程中，依據訊號傳輸方向、電源分布及電路功能區塊進行元件配置與金屬佈線規劃，以降低訊號傳遞延遲、減少寄生效應影響，並提升晶片操作穩定性。此外，CMOS 電晶體尺寸與佈局排列亦依據電路驅動能力及操作需求進行最佳化，以確保電路具備良好的效能表現。

完成各功能模組之佈局設計後，進一步進行模組整合與晶片層級(Top-Level)佈局規劃，包括電源線配置、輸入輸出接點(I/O Pad)規劃及整體晶片面積配置。透過完整的實體設計流程，使所提出之全客製化數位時鐘電路具備符合 CMOS 製程規範之可製造性。圖 7 為十進制計數器 DM7490A 之全客製化電路佈局圖。該佈局依據 DM7490A 之功能架構，由四顆 JK 正反器及相關控制邏輯所組成，並完成電晶體層級之元件配置與金屬連線設計。圖 8 為全客製化數位時鐘積體電路之頂層實體佈局圖。整體晶片佈局包含秒計數模組、分鐘計數模組、小時計數模組、進位控制邏輯、清除控制電路、時脈輸入電路、輸出介面電路以及電源與接地網路等功能區塊。各功能模組依據訊號傳輸方向、電源分布及面積最佳化原則進行配置，並透過適當之金屬佈線完成模組間訊號連接，以降低訊號傳輸延遲與寄生效應影響，提升晶片整體操作穩定性。圖 9 為全客製化數位時鐘 BCD 解碼電路之頂層實體佈局圖。該解碼電路依據四位元 BCD 輸入訊號設計，透過 CMOS 邏輯閘實現 BCD 碼至七段顯示控制訊號之轉換功能，並完成電晶體層級之佈局設計。完成上述佈局設計後，將進一步透過 DRC 及 LVS 實體驗證，以確認實體佈局設計符合 UMC 0.18 μm CMOS 製程規範，並確保實體電路與原始設計具有一致性。圖 10 與圖 11 分別為圖 8 全客製化數位時鐘積體電路及圖 9 全客製化數位時鐘 BCD 解碼電路之微影圖。圖 12 至圖 15 則依序為數位時鐘積體電路與 BCD 解碼電路佈局之 DRC 及 LVS 驗證結果，顯示兩項電路之佈局圖均通過 DRC 及 LVS 驗證，符合後續進行晶片製作。

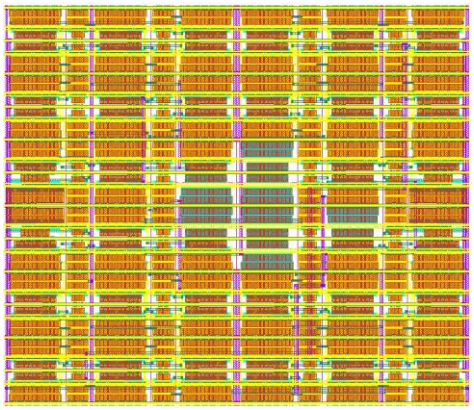


圖 7 十進制計數器 DM7490A 之全客製化電路佈局圖

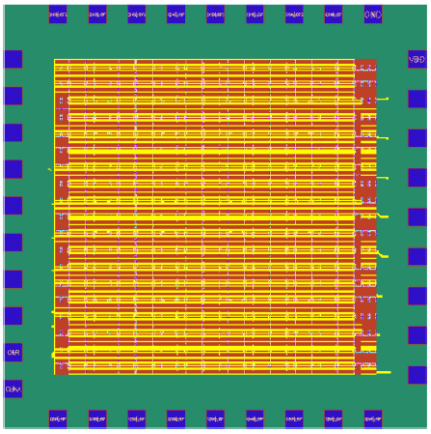


圖 8 全客製化數位時鐘積體電路頂層實體佈局圖

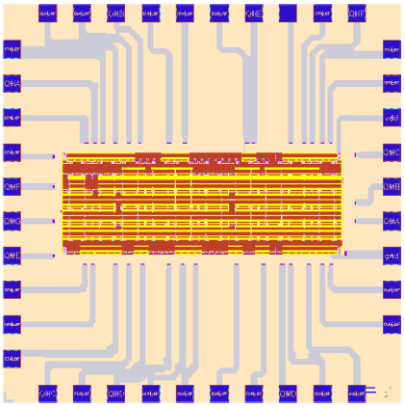


圖 9 全客製化數位時鐘 BCD 解碼電路頂層實體佈局圖

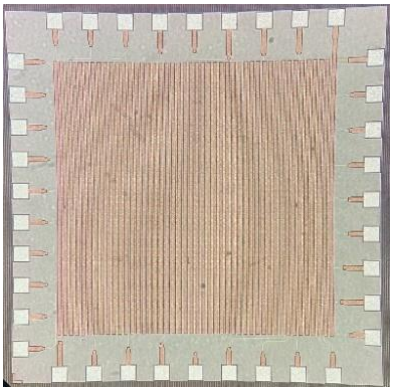


圖 10 全客製化數位時鐘積體電路頂層微影圖

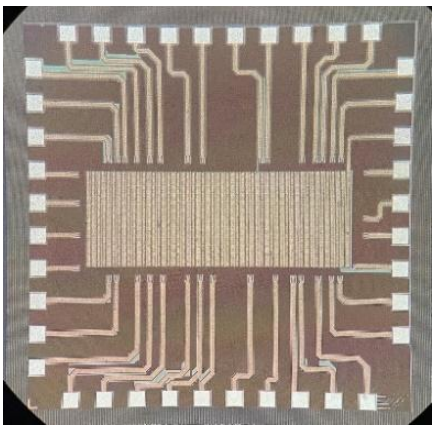


圖 11 全客製化數位時鐘 BCD 解碼電路頂層微影圖

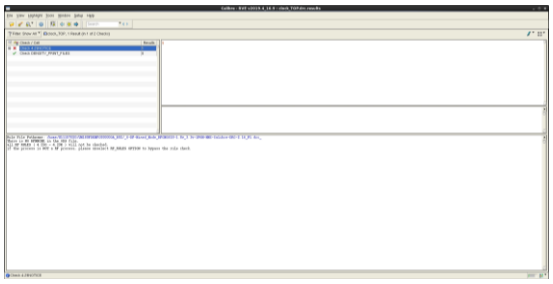


圖 12 全客製化數位時鐘積體電路 DRC 驗證結果

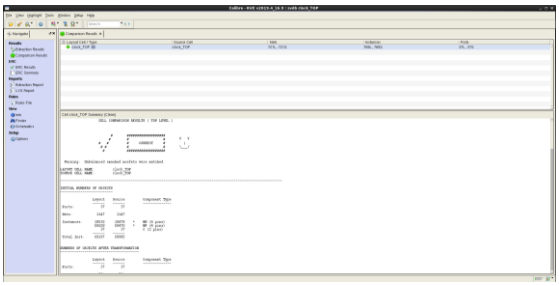


圖 13 全客製化數位時鐘積體電路 LVS 驗證結果

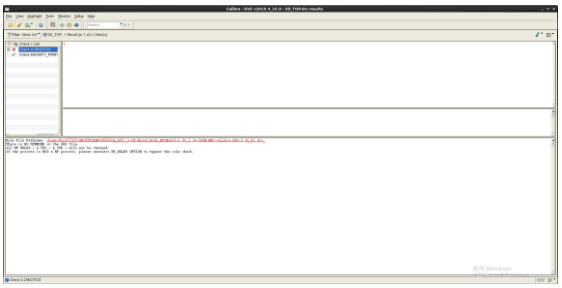


圖 14 全客製化數位時鐘 BCD 解碼電路 DRC 驗證結果

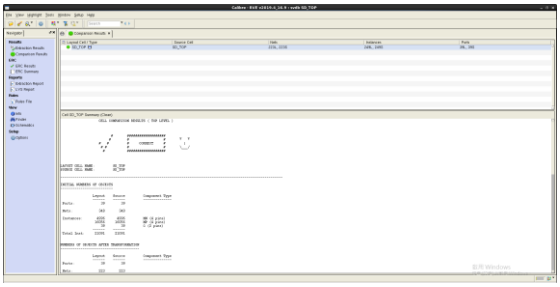


圖 15 全客製化數位時鐘 BCD 解碼電路 LVS 驗證結果

完成全客製化數位時鐘積體電路之佈局設計與實體驗證後，進一步進行晶片打線封裝(Wire Bonding)規劃。圖 16 與圖 17 分別為全客製化數位時鐘積體電路與 BCD 解碼電路的打線封裝圖。

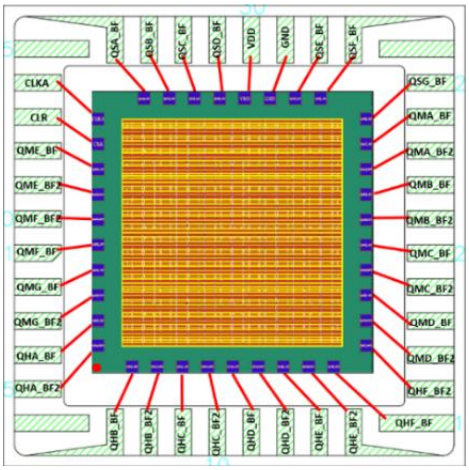


圖 16 全客製化數位時鐘積體電路打線封裝圖

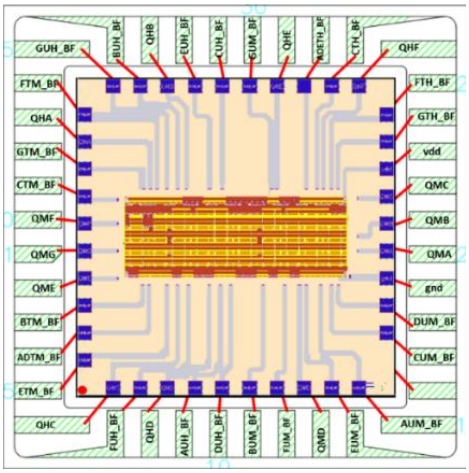


圖 17 全客製化數位時鐘 BCD 解碼電路打線封裝圖

4. 全客製化數位時鐘電路設計成品功能展示

為驗證所提出全客製化數位時鐘積體電路之實際運作效能，本研究完成晶片封裝、打線、PCB 設計與製作，並建立硬體量測平台進行功能驗證。製作完成之晶片經由 PCB 介面與七段顯示器及 LED 顯示模組整合後，進行時、分、秒計數功能測試。圖 18 與圖 19 分別為全客製化數位時鐘積體電路之實體功能展示結果。由量測結果可確認，所設計之晶片能正確執行時間計數、BCD 解碼及顯示功能，驗證本研究所建立之全客製化 CMOS 積體電路設計流程具備實務可行性。

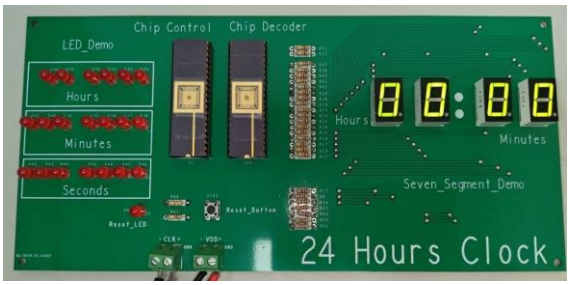


圖 18 全客製化數位時鐘積體電路 00 時 00 分展示圖

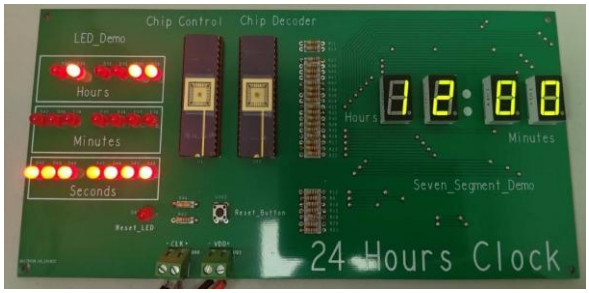


圖 19 全客製化數位時鐘積體電路 12 時 00 分展示圖

5. 結論

本研究成功設計並實現一款基於 UMC 0.18 μm CMOS 製程之全客製化數位時鐘積體電路，並建立完整之 ASIC 設計與實體驗證流程，包含系統層級功能驗證、電晶體層級電路設計、HSPICE 模擬分析、佈局設計、DRC/LVS 驗證、晶片製作、封裝及硬體量測。完成晶片製作與打線封裝後，將晶片整合於 PCB 量測平台，透過七段顯示器及 LED 顯示模組進行實體功能測試。量測結果顯示，所設計之數位時鐘積體電路能正確完成時、分、秒計數、BCD 解碼與顯示功能，其實際運作結果與設計規格一致。上述成果證明本研究建立之全客製化 CMOS 數位積體電路設計流程具備高度可行性，且晶片實際運作結果與設計預期相符，驗證該設計流程於數位 IC 實現與實務應用的可行性與應用價值。

6. 參考文獻

[1] A. Matsuzawa, “Shape the world with mixed-signal integrated circuits–past present and future,” *2023 IEEE International Solid-State Circuits Conference*, San Francisco, CA, USA, pp. 13–22, 2023.

[2] A. Z. Ghonem and E. Y. Tawfik, “ASIC implementation of efficient 512-neuron 256K-synapses digital neuromorphic processor with on-chip encoding in 22nmFDX,” *2024 IEEE International Symposium on Circuits and Systems*, Singapore, pp. 1–5, 2024.

[3] G. Lee, B. Joo, and B. Kong, “CMOS clock-gated synchronous up/down counter with high-speed local clock generation and compact toggle flip-flop,” *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 70, no. 12, pp. 5316–5327, Dec. 2023.

[4] G. Tao *et al*., “Open Se Cura: First silicon results of an auditable and transparent hardware root-of-trust system using open electronic design automation in 16 nm,” *IEEE Solid-State Circuits Mag.*, vol. 16, no. 2, pp. 58–66, 2024.

[5] D. Bhatt, J. Mukherjee, and J. Redoute, “A self-biased mixer in 0.18-μm CMOS for an ultra-wideband receiver,” *IEEE Trans. Microw. Theory Techn.*, vol. 65, no. 4, pp. 1294–1302, Apr. 2017.

[6] DM7490A Decade and Binary Counter Data Sheet August 1986. Revised July 2001. Available online: https://www.jameco.com/Jameco/Products/ProdDS/50690.pdf

[7] DM7408 Quad 2-Input AND Gates Data Sheet August 1986. Revised July 2001. Available online: https://www.edn.com/wp-content/uploads/2013/07/7408-datasheet.pdf

[8] DM7446A, DM5447A/DM7447A BCD to 7-Segment Decoders/Drivers Data Sheet June 1989. Available online: https://www.edn.com/wp-content/uploads/2013/01/7447-datasheet.pdf

[9] HDSP-311x, HDSP- 313x 10.16 mm (0.4 inch) Single Digit General Purpose Seven Segment Display Data Sheet June 2012. Available online: https://mil.ufl.edu/3701/docs/OOTB_Max10/sevenSegmentDatasheet.pdf

[10] C. Zhang *et al*., “Multisim-based digital clock design,” *2020 IEEE 9th Joint International Information Technology and Artificial Intelligence Conference*, Chongqing, China, pp. 1906–1911, 2020.