混合訊號積體電路之全客製化佈局設計與晶片下線驗證
Full-Custom Layout Design and Chip Tape-Out Verification of a Mixed-Signal Integrated Circuit

陳華彬*、蔡丞凱、郭育岑

明志科技大學電子工程系

摘要

本研究設計並實現一款整合類比與數位電路之混合訊號積體電路，建立涵蓋系統設計、電晶體層級電路設計、全客製化積體電路佈局、晶片製作、印刷電路板(PCB)系統整合及實體量測之完整設計流程。類比電路採用互補式金屬氧化物半導體(CMOS)運算放大器結合外部充放電電路產生穩定方波時脈，作為數位電路之時脈來源；數位電路則整合雙向計數器、控制邏輯及七段顯示解碼電路，實現上下數計數與顯示功能。為提升元件匹配特性並降低製程變異對電路性能之影響，本研究採用全客製化 CMOS 積體電路設計方法，於關鍵電路佈局導入共心配置(Common-Centroid)、防護環(Guard Ring)及虛設元件(Dummy Device)等實體佈局技術，以提升元件匹配性、降低基板雜訊干擾及增進晶片可靠性。完成實體佈局後，順利通過設計規則檢查(DRC)與電路佈局一致性驗證(LVS)，並完成 GDSII 佈局資料匯出、晶片製作、封裝及 PCB 系統建置。實體量測結果顯示，所設計之混合訊號積體電路可穩定執行上下數計數與七段顯示功能，量測結果與設計預期一致，驗證所提出之混合訊號積體電路設計方法及全客製化實體佈局技術之可行性。研究成果建立一套適用於混合訊號 CMOS 積體電路之全客製化設計與實體驗證流程，可作為後續混合訊號積體電路設計與晶片實現之參考。

關鍵詞：混合訊號積體電路、系統設計、全客製化積體電路設計、晶片製作

Abstract

This study presents the design and implementation of a mixed-signal integrated circuit (IC) that integrates analog and digital circuits and establishes a complete full-custom IC design flow, including system design, transistor-level circuit design, full-custom physical layout, chip fabrication, printed circuit board (PCB) integration, and hardware measurement. The analog circuit employs a complementary metal–oxide–semiconductor (CMOS) operational amplifier (OPA) combined with an external charging and discharging network to generate a stable square-wave clock signal for the digital circuit. The digital circuit integrates a bidirectional counter, control logic, and a seven-segment decoder to realize up/down counting and display functions. To improve device matching and mitigate the effects of process variations on circuit performance, a full-custom CMOS IC design methodology is adopted. Key layout techniques, including common-centroid configuration, guard rings, and dummy devices, are incorporated into the critical circuit blocks to enhance device matching, suppress substrate noise, and improve chip reliability. The completed layout successfully passed design rule check (DRC) and layout versus schematic (LVS) verification, and was then followed by GDSII generation, chip fabrication, packaging, and PCB implementation. Experimental results demonstrate that the proposed mixed-signal IC operates reliably with correct up/down counting and seven-segment display functions. The measured results are consistent with the design specifications, thereby validating the proposed mixed-signal IC design methodology and the effectiveness of the full-custom physical layout techniques. The proposed design and verification flow provides a practical reference for the development and implementation of future full-custom mixed-signal CMOS integrated circuits.

Keywords: Mixed-signal integrated circuit; System design; Full-custom CMOS IC design; Chip fabrication

1. 前言

1.1 研究背景

近年來，隨著半導體製程技術持續朝奈米化演進，以及物聯網(Internet of Things, IoT)、智慧電子裝置、車用電子及邊緣運算系統等技術快速發展，現代電子系統對於高整合度、低功耗及高可靠度積體電路(Integrated Circuit, IC)之需求日益增加。相較於僅具備單一訊號處理功能之傳統 IC，混合訊號積體電路(Mixed-Signal Integrated Circuit)可同時整合類比訊號處理與數位邏輯運算功能，有效降低系統複雜度，提升整體整合效率，因此已成為現代系統單晶片(System-on-Chip, SoC)設計中的關鍵技術之一[1]。

然而，由於類比電路與數位電路具有不同之訊號特性與設計考量，混合訊號積體電路之設計除須確保電路功能正確外，亦須克服元件匹配、製程變異、電源雜訊、基板耦合及寄生效應等實體設計挑戰。其中，類比電路對元件尺寸、佈局對稱性及製程偏差極為敏感，而數位電路則須兼顧運作速度、功耗與晶片面積等設計需求。因此，如何透過適當之電路架構規劃與全客製化佈局技術，兼顧類比與數位電路之性能需求，並提升混合訊號 IC 之穩定性、可靠度與整體效能，已成為現代 IC 設計領域的重要研究課題之一[2]。

在實際 IC 開發流程中，晶片設計需歷經系統架構規劃、電路設計、電路模擬、實體佈局、實體驗證、晶片下線(Tape-out)、封裝及硬體量測等階段。由於電路模擬僅能驗證設計功能，尚無法完全反映製程變異、寄生效應及封裝等因素對晶片實際操作特性的影響，因此，完成晶片製作並透過實體量測進行功能驗證，是確認 IC 設計可行性與可靠性之重要依據。基於此，本研究完成混合訊號 IC 之全客製化設計、印刷電路板(Printed Circuit Board, PCB)系統整合及硬體量測平台建置，並透過電路模擬與實體晶片量測結果相互驗證，以確認所提出電路架構及全客製化互補式金屬氧化物半導體(Complementary Metal-Oxide-Semiconductor, CMOS)IC 設計流程之正確性與可行性[3]。

1.2 研究動機

傳統 IC 設計流程通常著重於電路功能分析與模擬驗證，而從電晶體層級設計、全客製化 CMOS IC 佈局實現至晶片下線與實體量測之完整開發流程，涉及類比電路設計、數位邏輯設計、實體佈局技術及半導體製程驗證等多項專業能力。尤其在混合訊號 IC 設計中，類比電路與數位電路須整合於同一晶片中，如何兼顧電路效能與佈局可靠性，已成為實現高品質晶片的重要關鍵[4]。

因此，本研究以建立完整混合訊號 IC 開發流程為目標，整合 CMOS 類比電路、數位計數邏輯、全客製化 CMOS IC 佈局設計及硬體驗證技術，將電路架構由系統層級逐步實現至實體晶片。透過實際完成晶片設計、佈局驗證、GDSII 資料產生、晶片下線及量測驗證，可深入探討混合訊號 IC 從設計至製造之完整流程，並驗證所提出設計方法之可行性。

1.3 研究目標

本研究旨在設計、實現並驗證一款整合類比與數位功能之混合訊號 IC，建立涵蓋電路設計、全客製化佈局、晶片製作、封裝及實體量測之完整 CMOS IC 設計與驗證流程。具體研究目標如下。

(1) 類比時脈產生電路設計與驗證

設計一款 CMOS 運算放大器(Operational Amplifier, OPA)，並結合外部電阻與電容之充放電機制，產生穩定之方波時脈訊號，作為後續數位計數電路之時脈來源，並完成電路模擬與功能驗證。

(2) 數位雙向計數與解碼電路設計

參考 DM7490A 十進制計數器之邏輯架構[5]，設計全客製化 CMOS IC 雙向計數器，整合上下數控制邏輯、BCD 解碼電路及七段顯示驅動電路，實現00～99雙位數上下數計數與顯示功能。

(3) 混合訊號全客製化 CMOS IC 實體佈局設計

利用 Cadence Virtuoso 完成類比與數位功能模組之電晶體層級佈局設計，並於關鍵電路區塊採用共心配置(Common-Centroid)、防護環(Guard

Ring)及 MOS 虛設元件(MOS Dummy)等佈局技術，以提升元件匹配性並降低製程變異影響[6]。

(4) 實體驗證與晶片下線

完成實體佈局後，執行設計規則檢查(Design Rule Check, DRC)及佈局與電路一致性驗證(Layout Versus Schematic, LVS)，確認佈局圖符合製程規範與電路設計要求，並將完成佈局圖驗證之資料匯出 GDSII 格式，完成晶片下線與封裝。

(5) PCB 測試平台建置與晶片量測

建置 PCB 測試平台，整合封裝晶片、七段顯示器及相關周邊電路，進行系統整合與功能量測，驗證混合訊號 IC 之電路功能、操作穩定性及實際運作效能。

綜合上述研究目標，本研究建立一套由系統設計、電晶體層級電路設計、全客製化實體佈局、晶片下線、封裝至 PCB 系統整合與實體量測之完整混合訊號 CMOS IC 設計流程，並藉由實體晶片量測驗證設計之可行性與可靠性，可作為混合訊號 IC 設計與研究之參考依據。

2. 類比積體電路設計

2.1 運算放大器

OPA 是一種高增益差分放大器，具有高輸入阻抗、低輸出阻抗及高開迴路增益等特性，廣泛應用於訊號放大、濾波器、比較器、振盪器及各類類比、數位與混合訊號 IC 中[7]。透過適當的負回授設計，OPA 可提供穩定的閉迴路增益與良好的線性特性，因此為類比 IC 中最重要的基本電路之一。在理想情況下，OPA 具有無限大的開迴路增益、無限高的輸入阻抗及趨近於零的輸出阻抗。當 OPA 工作於負回授狀態時，可近似滿足虛短路(Virtual Short)與虛斷路(Virtual Open)兩項基本特性。虛短路表示反相端與非反相端之電位趨近相等，而虛斷路則表示流入兩輸入端之電流近似為零。上述特性可大幅簡化電路分析，並作為各類類比電路設計的重要理論基礎。

本研究採用 CMOS OPA 作為混合訊號 IC 之類比核心，並搭配外部電阻與電容作用，產生穩定之方波時脈訊號，提供後續數位雙向計數電路之時脈來源。由於 OPA 之增益、頻寬及輸出驅動能力將直接影響振盪器之穩定性，因此其電路設計與實體佈局對整體混合訊號積體電路之效能具有重要影響。

2.2 CMOS OPA 內部電路設計與模擬驗證

本研究採用 CMOS 電晶體實現 OPA，作為混合訊號 IC 之類比核心。圖 1 為 OPA 之電晶體層級電路架構，主要包含差動輸入級、電流鏡主動負載、增益級及輸出級等功能模組。差動輸入級負責提供高輸入阻抗與差動訊號放大功能；電流鏡主動負載則用於提升電路增益並改善輸出特性；增益級進一步提高整體電壓增益，而輸出級則提供足夠之輸出驅動能力，以確保後級電路能穩定運作。整體電路架構兼顧增益、輸出擺幅及驅動能力，可滿足後續方波振盪器之時脈產生需求[8]。

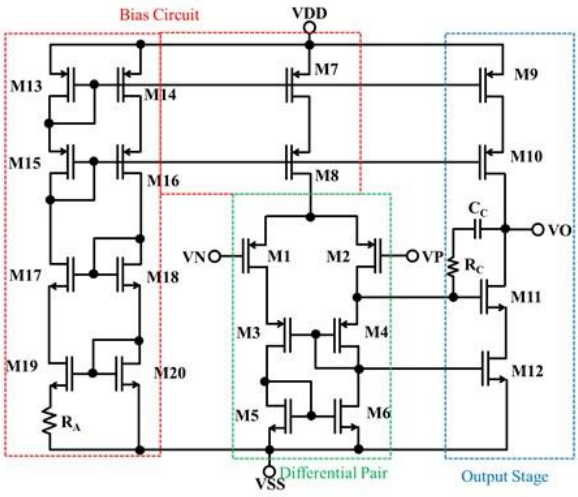


圖 1 CMOS OPA 內部電路圖

完成 OPA 電路設計後，利用 Cadence Virtuoso 建立電晶體層級電路，並匯出 SPICE 網路表(Netlist)，再透過 Synopsys HSPICE 進行電路模擬，最後使用 Synopsys Custom WaveView 分析模擬波形，以驗證 OPA 之直流偏壓、輸出響應及操作特性，確認其符合設計規格，並作為後續混合訊號 IC 整合設計之依據。圖 2 為利用 OPA 所實現之方波產生器電路。該電路利用 OPA 搭配外部電阻與電容形成 RC 充放電迴路，當電容電壓達到 OPA 之

切換閾值時，OPA 輸出狀態將反轉，使電容重新進行充電或放電，進而形成週期性振盪。藉由調整外部電阻與電容值，可控制振盪週期及輸出頻率。本研究將振盪器設計為輸出 1 Hz 方波時脈訊號，作為後續雙位數上下數計數電路之時脈來源，以驅動數位計數器完成穩定之計數功能。圖 3 為 1 Hz 方波產生器之模擬結果。由模擬波形可觀察到，OPA 輸出具有穩定之高、低電位切換，輸出頻率符合 1 Hz 設計規格，且波形具有良好之週期性與穩定性。模擬結果顯示，所設計之 OPA 能有效驅動 RC 振盪器產生穩定之時脈訊號，具備良好之功能與可靠性，可作為混合訊號積體電路之時脈產生核心，並提供後續數位計數電路穩定且可靠之時脈來源。

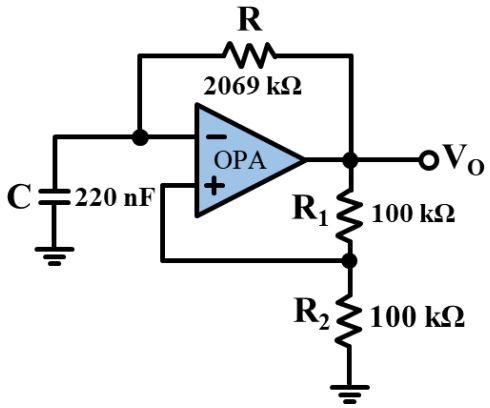


圖 2 以 CMOS OPA 實現之方波產生器電路

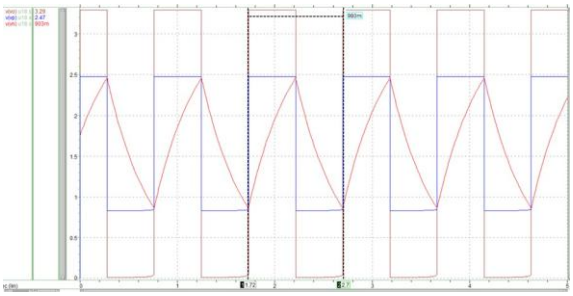


圖 3 具有 1 Hz 輸出信號的方波產生器的模擬結果

2.3 OPA 實體佈局設計

完成 OPA 電晶體層級電路設計與模擬驗證後，本研究進一步利用 Cadence Virtuoso 進行全客製化實體佈局設計。佈局設計依據 UMC 0.18 μm CMOS 製程設計規範完成電晶體配置、金屬層佈線及接點規劃，並兼顧電路效能、晶片面積及可製造性等設計需求。為提升類比電路之匹配特性及操作穩定性，OPA 之關鍵電晶體採用共心配置、防護環及 MOS 虛設元件等佈局技術，以降低製程變異、邊界效應及基板雜訊對電路效能之影響。此外，佈局設計亦考量金屬佈線長度與對稱性，以降低寄生電阻與寄生電容所造成之效能劣化。圖 4 為 OPA 之全客製化 CMOS IC 實體佈局圖。完成佈局設計後，將進一步執行 DRC 及 LVS，以確認佈局符合 UMC 0.18 μm CMOS 製程設計規範，並確保實體佈局與原始電路具有一致性，作為後續晶片下線之依據。

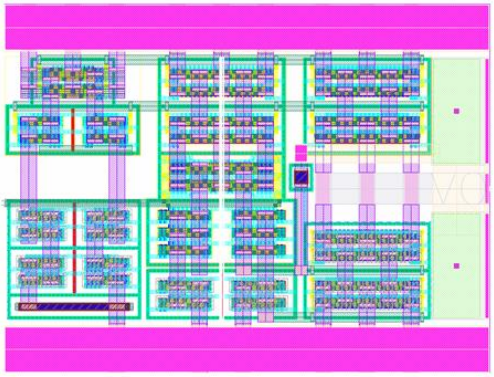


圖 4 CMOS OPA Layout 圖

2.4 差動對與電流鏡之匹配佈局設計

在類比與混合訊號 IC 設計中，元件匹配(Matching)對 OPA 之直流偏移電壓、共模拒斥比、電源拒斥比、增益及整體電路穩定性均具有重要影響。由於半導體製程中的光刻(Lithography)、蝕刻(Etching)、離子佈植(Ion Implantation)及薄膜沉積(Thin-Film Deposition)等製程變異(Process Variation)，可能造成 MOS 電晶體之通道尺寸、臨界電壓(Threshold Voltage)及載子遷移率(Carrier Mobility)產生偏差，進而導致差動對及電流鏡產生電流匹配誤差(Current Mismatch)，影響類比電路之性能，降低類比電路之精度與性能。為降低製程變異對電路特性的影響，本研究於 OPA 之差動對(Differential Pair)與電流鏡(Current Mirror)採用對稱匹配佈局(Symmetrical Matching Layout)技術，並結合共心配置、MOS 虛設元件及防護環等佈局設計方法，以提升元件匹配性並降低外部干擾。圖 5 為本研究所採用之元件匹配佈局架構示意圖。

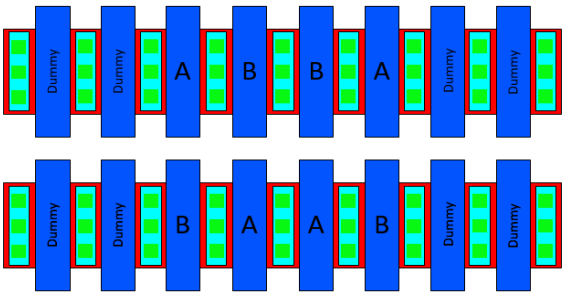


圖 5 元件匹配佈局架構示意圖

為降低製程變異對電路特性之影響，本研究於全客製化佈局設計中採用多項元件匹配與雜訊抑制技術，其主要設計原則如下。

(1) 共心配置

將需匹配之 MOS 電晶體分割為多個指狀(Finger)結構，並採用交錯且中心對稱之方式排列，可有效降低製程梯度(Process Gradient)及局部製程變異所造成之元件不匹配，提高差動對及電流鏡之匹配精度，進而改善運算放大器之直流偏移電壓與整體電路性能。

(2) MOS 虛設元件

於電晶體陣列兩側配置 MOS 虛設元件，使有效元件與邊緣元件具有一致之製程環境，可降低蝕刻效應及邊界效應(Edge Effect)所造成之尺寸偏差，提升元件一致性與匹配精度，並改善製程變異對電路特性之影響。

(3) 防護環

於關鍵類比電路周圍配置防護環，以隔離基板雜訊(Substrate Noise)，並抑制鄰近數位電路切換所產生之雜訊耦合，降低基板電流干擾及 Latch-up 發生之可能性，進一步提升混合訊號積體電路之穩定性、可靠性及抗雜訊能力。

圖 6 為 OPA 差動輸入級之實體佈局圖。為提升差動輸入級之元件匹配性，關鍵 MOS 電晶體採用共心配置與多指(Multi-Finger)結構進行佈局設計，以降低製程梯度(Process Gradient)及局部製程變異所造成之元件不匹配。此外，於佈局周圍配置 MOS 虛設元件及防護環，使主動元件具有一致之製程環境，並有效抑制基板雜訊及邊界效應對電路特性之影響。同時，差動輸入對之金屬走線採對稱配置，以降低寄生電阻與寄生電容所造成之不平衡效應。透過上述佈局設計，可有效提升差動對之匹配精度，改善運算放大器之輸入偏移電壓、共模拒斥比及整體操作穩定性。圖 7 為 OPA 內部電流鏡之實體佈局圖。為提升電流鏡之電流複製精度(Current Mirroring Accuracy)，關鍵 MOS 電晶體採用共心配置與對稱式佈局設計，以降低製程梯度及元件不匹配對偏壓電流之影響。此外，於電晶體陣列兩側配置 MOS 虛設元件，以降低邊界效應所造成之製程偏差，提升元件匹配性與偏壓電流一致性。為降低配線寄生效應及電壓降，偏壓電流路徑亦採對稱式金屬配線設計；電源線與接地線則採用寬金屬線配置，以降低導線電阻、IR 壓降(IR Drop)及電流密度所造成之影響，進一步提升電源完整性(Power Integrity)及電路操作穩定性。此外，適當配置金屬層與接點(Via)，可降低導線阻抗並提升電流傳輸能力，確保電流鏡能提供穩定且一致之偏壓電流。

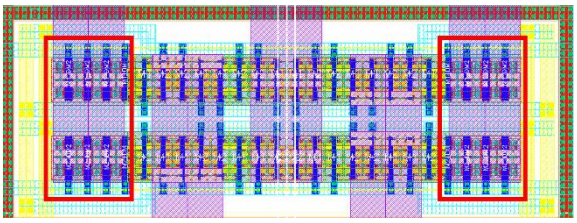


圖 6 CMOS OPA 差動輸入級之實體佈局圖

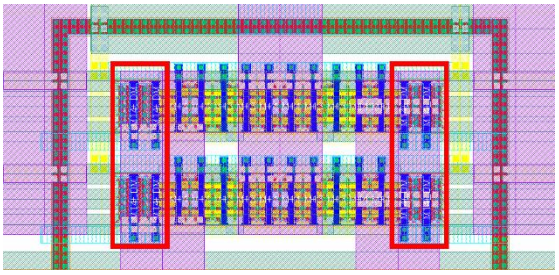


圖 7 CMOS OPA 內部電流鏡之實體佈局圖

3. 數位積體電路設計

本研究之數位積體電路參考 DM7490A 十進制計數器之邏輯架構，設計一款全客製化 CMOS IC 雙向計數器，並整合控制邏輯、BCD 解碼電路及七段顯示驅動電路，以實現 00～99 雙位數上下數(Up/Down)計數與顯示功能。整體數位電路以 CMOS 邏輯閘及正反器為基礎，透過時脈控制、進位／借位邏輯及方向控制電路，完成雙向計數功能，

並將計數結果轉換為 BCD 碼，再經由解碼電路驅動七段顯示器進行數值顯示。此外，本研究所設計之數位計數電路與類比運算放大器所產生之方波時脈訊號相互整合，形成完整之混合訊號 IC 系統。完成數位電路設計後，進一步進行 HSPICE 功能模擬、全客製化實體佈局、實體驗證及晶片下線，以確認所提出之電路架構具備正確性、可製造性及實際應用可行性。本研究參考 DM7490A 十進制計數器之內部邏輯架構，設計全客製化 CMOS IC 數位上下數計數器，作為混合訊號積體電路之數位核心。DM7490A 主要由四個 JK 正反器(JK Flip-Flops)及相關組合邏輯所組成，可實現十進制計數、進位及清除等功能。圖 8 為基於 DM7490A 所實現之 00～99 雙位數上下數計數器。圖 9 與圖 10 分別為雙位數上下數計數器之模擬結果。

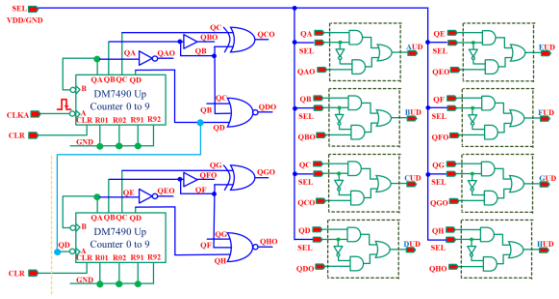


圖 8 基於 DM7490A 實現 00～99 雙位數上下數計時器

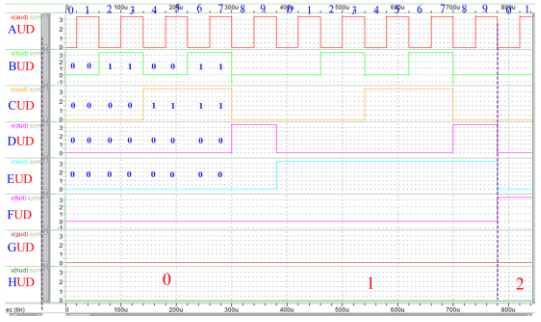


圖 9 雙位數上下數器之上數計時模擬結果

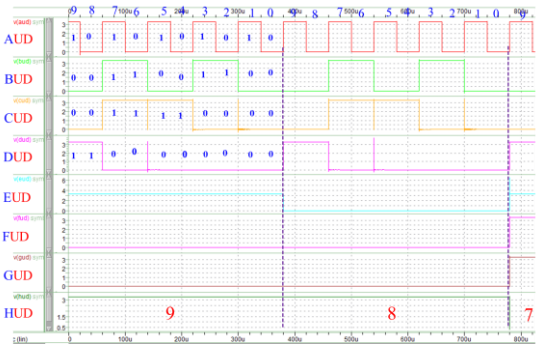


圖 10 雙位數上下數器之下數計時模擬結果

4. 全客製化晶片佈局設計與晶片下線製作

完成混合訊號 IC 之電晶體層級電路設計與功能模擬後，本研究進一步利用 Cadence Virtuoso 進行全客製化 CMOS IC 之實體佈局設計。實體佈局依據 UMC 0.18 μm CMOS 製程設計規範進行，針對類比與數位電路各功能模組完成元件配置、金屬層佈線及電源網路規劃，並兼顧晶片面積、訊號完整性、功率分配及可製造性等設計需求。

由於混合訊號 IC 同時整合類比與數位電路，其實體佈局除須符合 CMOS 製程設計規範外，亦需兼顧元件匹配性、基板雜訊隔離、寄生效應及電源完整性等因素，以降低類比與數位電路間之相互干擾，確保整體晶片之穩定運作。因此，本研究於運算放大器等關鍵類比電路採用共心配置、多指式結構、防護環及 MOS 虛設元件等佈局技術，以提升元件匹配性並降低製程梯度及局部製程變異對電路性能之影響；數位電路則依據訊號傳輸方向與功能模組關聯性進行配置，以縮短關鍵訊號路徑、降低佈線延遲，並提升整體操作穩定性與佈局效率。

完成各功能模組之實體佈局後，進一步整合為晶片頂層(Top-Level)佈局，並依序執行 DRC 與 LVS，確認實體佈局圖符合製程規範且與原始電路設計完全一致。最後產生 GDSII 佈局圖資料，完成晶片下線(Tape-Out)製作。圖 11 至圖 15 分別為混合訊號 IC 之雙位數上下數器晶片佈局圖、DRC 與 LVS 驗證結果、晶片打線圖，以及晶片頂層微影圖。

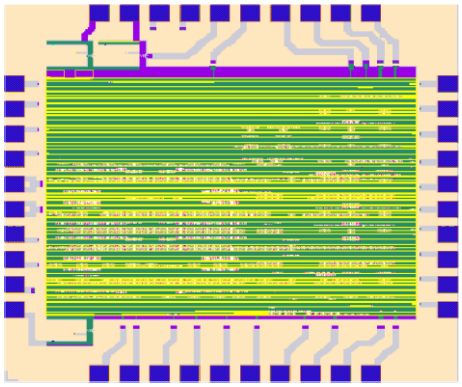


圖 11 混合訊號雙位數上下數器晶片佈局圖

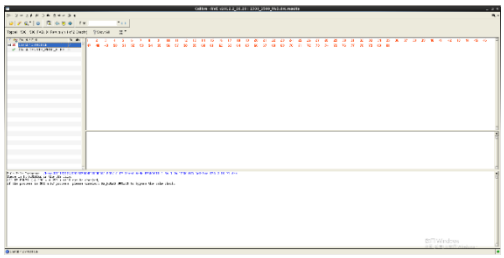


圖 12 混合訊號雙位數上下數器晶片 DRC 驗證

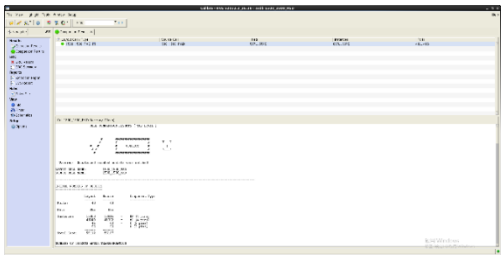


圖 13 混合訊號雙位數上下數器晶片 LVS 驗證

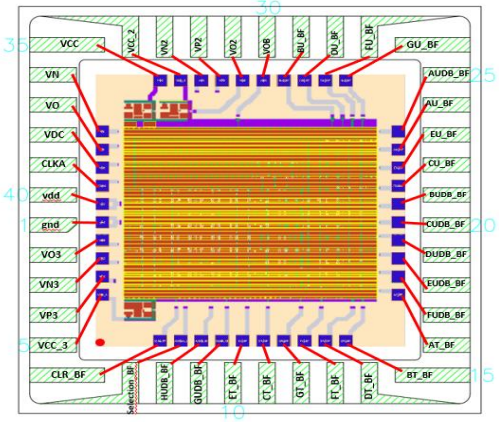


圖 14 混合訊號雙位數上下數器晶片打線圖

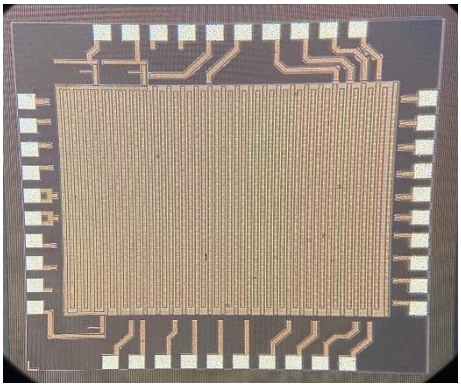


圖 15 混合訊號雙位數上下數器晶片頂層微影圖

5. 混合訊號雙位數上下數計時器晶片成果展示

完成全客製化混合訊號 CMOS IC 之電路設計、實體佈局、晶片下線及封裝後，本研究進一步建立 PCB 量測平台，完成晶片與周邊電路之系統整合，並進行功能驗證與實體量測，以確認所設計晶片之操作正確性、穩定性及實際運作效能。PCB 量測平台整合電源供應、時脈訊號、功能控制介面及七段顯示器等周邊電路，可提供混合訊號 IC 之完整測試環境，驗證各功能模組之正常運作。圖 16 為混合訊號積體電路之 PCB 系統架構與實體佈線圖，可見晶片封裝、電源模組、訊號控制電路及顯示模組均已完成整合。圖 17 至圖 20 分別展示混合訊號雙位數上下數器於遞增及遞減模式下之操作結果。實體量測結果顯示，晶片能依控制訊號正確執行雙位數上下計數功能，七段顯示器可同步顯示計數結果，整體操作穩定且功能符合設計預期，驗證本研究所提出之混合訊號積體電路設計流程及實體晶片製作具備良好可行性。

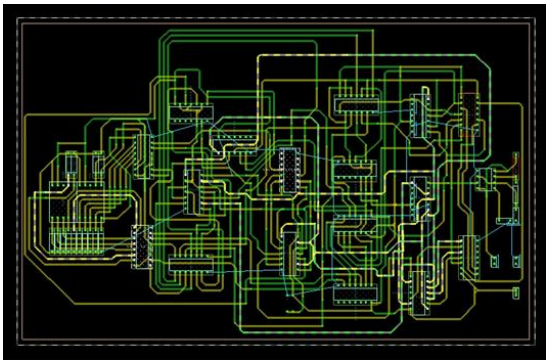


圖 16 混合訊號積體電路之 PCB 系統架構佈線圖

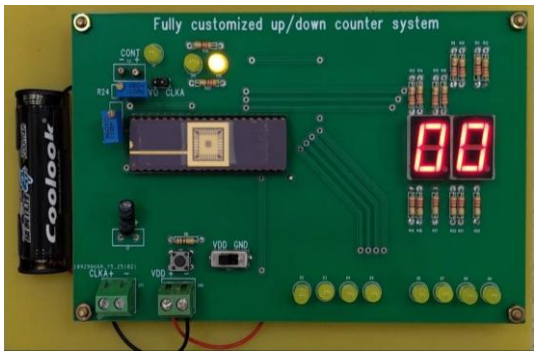


圖 17 混合訊號雙位數上下數器之上數 00 功能展示

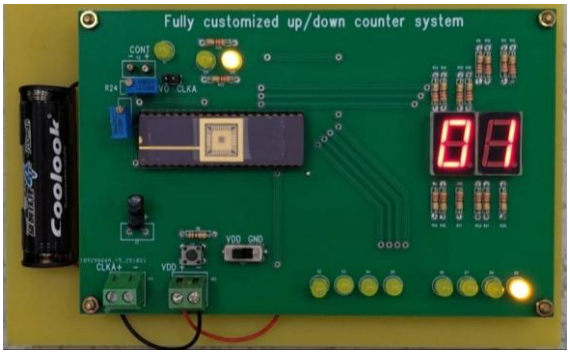


圖 18 混合訊號雙位數上下數器之上數 01 功能展示

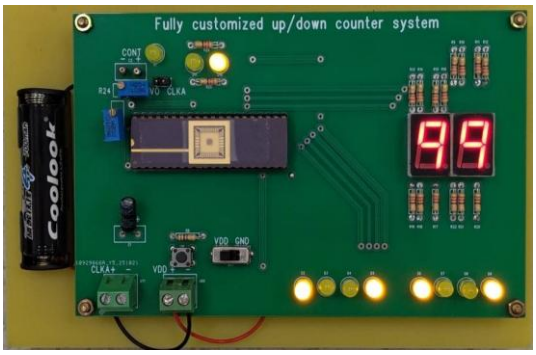


圖 19 混合訊號雙位數上下數器之下數 99 功能展示

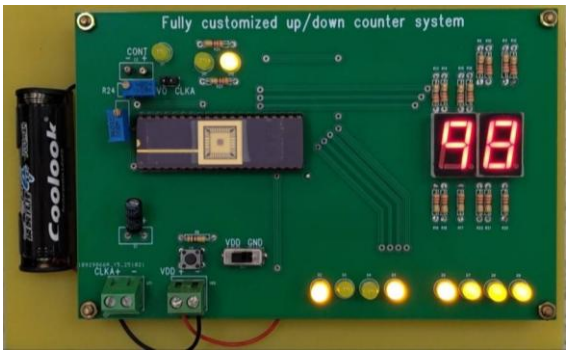


圖 20 混合訊號雙位數上下數器之下數 98 功能展示

6. 結論

本研究成功設計、實現並驗證一套基於 UMC 0.18 μm CMOS 製程之混合訊號 IC 雙位數上下數器，完成由系統設計、全客製化 CMOS IC 實現、晶片下線至硬體量測之完整開發流程，驗證所提出之電路架構與設計方法具備良好的可行性與可靠性。在混合訊號系統設計方面，類比電路採用 CMOS 運算放大器結合外部充放電路產生穩定方波時脈；數位電路則參考 DM7490A 邏輯架構，完成 00～99 雙位數上下數計時器、BCD 解碼器及七段顯示功能，並經電路模擬驗證其功能正確性。在全客製化 CMOS IC 實現方面，完成電晶體層級電路設計、實體佈局、DRC 與 LVS 驗證，並順利完成晶片下線與封裝。在硬體驗證方面，完成 PCB 系統整合與晶片量測平台建置，實體量測結果與模擬結果一致，成功驗證所設計混合訊號 IC 之功能與操作穩定性。

7. 參考文獻

[1] S. Lakshminarayana, H. Park, and S. Jung, “Emerging technologies in CMOS integrated sensing system-on-chip: A review,” *IEEE Sensors Reviews*, vol. 2, pp. 397–404, 2025.

[2] A. Afzali-Kusha, M. Nagata, N. K. Verghese, and D. J. Allstot, “Substrate noise coupling in SoC design: Modeling, avoidance, and validation,” *Proc. IEEE*, vol. 94, no. 12, pp. 2109–2138, Dec. 2006.

[3] K. Chien, F. Chung, and J. Li, “Co-design of a 140 MHz to 5.4 GHz inductorless LNA chip and PCB for software defined radio,” *2018 Asia-Pacific Microwave Conference,* Kyoto, Japan, pp. 225–227, 2018.

[4] M. Ahmed, S. Mohamad, and A. Bermak, “A 10-bit Pulse Width Modulation Based Analog to Digital Converter,” *2021 4th International Conference on Circuits, Systems and Simulation,* Kuala Lumpur, Malaysia, pp. 168–172, 2021.

[5] DM7490A Decade and Binary Counter Data Sheet August 1986. Revised July 2001. Available online: https://www.jameco.com/Jameco/Products/ProdDS/50690.pdf

[6] E. Salman and E. G. Friedman, “Methodology for placing localized guard rings to reduce substrate noise in mixed-signal circuits,” *2008 Ph.D. Research in Microelectronics and Electronics,* Istanbul, Turkey, pp. 85–88, 2008.

[7] S. Sasikala and S. Mythily, “Design and performance analysis of enhanced op-amp for low pass filter in subwoofer,” *2024 7th International Conference on Devices, Circuits and Systems,* Coimbatore, India, pp. 137–141, 2024.

[8] V. Smrithi, D. S. Shylu Sam, and G. Manoj, “Design and analysis of two stage Op-Amp in 180 nm CMOS process,” *2024 7th International Conference on Devices, Circuits and Systems,* Coimbatore, India, pp. 253–257, 2024.